

35.C15650

PATENT APPLICATION



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

More Application of:

MASAHIKO WATANABE

Appln. No.: 09/919,902

Filed: August 2, 2001

For: INTEGRATED-CIRCUIT
APPARATUS AND INK JET
RECORDING APPARATUS USING
THE SAME

Examiner: Unassigned

Group Art Unit: 2853

November 7, 2001

Commissioner for Patents
Washington, DC 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese priority application:

No. 2000-238378 filed August 7, 2000.

A certified copy of the priority document is enclosed.

Applicant's undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below-listed address.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Mark A. Scinto", written over a horizontal line.

Attorney for Applicant

Registration No. 33,628

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

MAW\mt

DC_MAIN 77223 v 1

CFO15650 US / 0



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月 7日

出 願 番 号

Application Number:

特願2000-238378

出 願 人

Applicant(s):

キヤノン株式会社

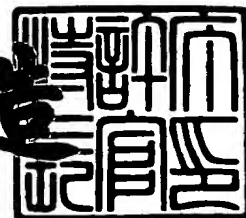
09/919,902

GAU

2001年 8月24日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3075794

【書類名】 特許願

【整理番号】 4053041

【提出日】 平成12年 8月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明の名称】 大規模集積回路装置

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 渡邊 昌彦

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100081880

 【弁理士】

 【氏名又は名称】 渡部 敏彦

 【電話番号】 03(3580)8464

【手数料の表示】

 【予納台帳番号】 007065

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703713

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 大規模集積回路装置

【特許請求の範囲】

【請求項 1】 電源投入時に初期化がそれぞれ必要な複数の回路を実装した大規模集積回路装置において、

前記複数の回路のうちの所定回路に設けられ、電源の供給開始時から所定時間に亘って発生する外部リセット信号を外部から受け取ると、前記所定回路の初期化を行うとともに、第 1 のリセット信号を発生する第 1 のリセット信号発生手段と、

前記外部リセット信号を受け取っており、かつ、前記第 1 のリセット信号発生手段から前記第 1 のリセット信号を受け取った場合、第 2 のリセット信号を発生する第 2 のリセット信号発生手段と、

前記複数の回路のうち前記所定回路を除く他の回路に設けられ、前記第 2 のリセット信号発生手段によって前記第 2 のリセット信号を受け取ると、前記他の回路の初期化を行う初期化手段と

を有することを特徴とする大規模集積回路装置。

【請求項 2】 前記所定回路は CPU (Central Processing Unit) であることを特徴とする請求項 1 記載の大規模集積回路装置。

【請求項 3】 前記他の回路は周辺論理回路であることを特徴とする請求項 1 または請求項 2 に記載の大規模集積回路装置。

【請求項 4】 前記他の回路は特定用途論理回路であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の大規模集積回路装置。

【請求項 5】 前記他の回路は周辺論理回路と特定用途論理回路とであり、前記周辺論理回路に設けられ、該周辺論理回路の初期化が終了したときに、第 1 の初期化完了信号を発生する第 1 の初期化完了信号発生手段と、

前記特定用途論理回路に設けられ、該特定用途論理回路の初期化が終了したときに、第 2 の初期化完了信号を発生する第 2 の初期化完了信号発生手段と、

前記所定回路に設けられ、前記第 1 及び第 2 の初期化完了信号の少なくとも一方が発生されないとき、前記第 1 のリセット信号を再度発生する再度発生手段と

を更に有することを特徴とする請求項 1 または請求項 2 に記載の大規模集積回路装置。

【請求項 6】 前記大規模集積回路装置は 1 チップで構成されることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の大規模集積回路装置。

【請求項 7】 前記所定回路及び前記他の回路は、初期化をクロックに同期したタイミングでそれぞれ行うことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の大規模集積回路装置。

【請求項 8】 前記大規模集積回路装置はプリンタ装置に用いられることを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の大規模集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大規模集積回路装置に関し、特に、電源投入時に初期化がそれぞれ必要な複数の回路を実装した大規模集積回路装置に関する。

【0002】

【従来の技術】

従来、CPU やメモリなどの汎用 IC ではなく、特定な用途に最適な機能を実現するための特定用途向け IC (Application Specific Integrated Circuit、以下「ASIC」と略称する) が開発されている。

【0003】

近年、半導体集積回路技術の発展により、こうした ASIC における動作速度や集積度、規模が、より高度なものへと進化しており、また、ASIC を構成する個々の回路も単機能から複合機能へと進化を遂げている。

【0004】

従来、ASIC では、CPU、I/O エキスパンダ、特定用途論理回路の少なくとも 3 つの部分において、それぞれが独自に高集積化、高速化、大規模化を図ってきた。一方、最近では、同一チップの内部にすべての機能を盛り込んだ 1 チップ形態の半導体集積技術の確立により、より高度な集積化が可能になっている。この 1 チップ形態を実現する半導体集積技術によって、ASIC においても、

CPU、I/Oエキスパンダ、特定用途論理回路のそれぞれが、1つの半導体ウェハの上に集積化されている。

【0005】

そのような高度な集積化が進んだ半導体集積回路においては、外部からの入力信号を、同じく外部からのクロック信号によってサンプリングして内部に取り込むことを行っている。また、内部回路では、外部より入力するクロック信号を同期信号にして動作している。

【0006】

【発明が解決しようとする課題】

上記高度な集積化が進んだ従来のASICでは、半導体ウェハに実装された複数の回路が、外部からのクロック信号によってそれぞれ同期をとっているものの、それぞれが独立に機能しているにすぎなかった。すなわち、回路動作はクロック同期しているが、各回路の電源オン時の初期化（リセット）動作は、それぞれの回路が独自に行うので、リセットタイミングの上で各回路に微妙な差が発生して、これが動作を不安定にしまうという問題があった。

【0007】

これを、従来のASICのブロック構成を示す図3を参照して説明する。

【0008】

図3中、101はASICであり、ASIC101の内部には、CPU102、周辺論理回路103及び特定用途論理回路104が設けられる。周辺論理回路103は、ASIC101に内蔵されるメモリ（図示せず）、ASIC101の外部に設けられるプログラムROM（図示せず）、及び特定用途論理回路104と、CPU102との間で行われるデータの送受信を制御する。特定用途論理回路104は、ASIC101が搭載された特定の制御機器に対してASIC101を最適化させるためにユーザによって設定が行われる論理回路である。

【0009】

105はASIC101に外部から供給されるクロック信号であり、ASIC101の内部回路の同期を取るために用いられる。106はASIC101に外部から供給されるリセット信号である。107はASIC101内部にあってリ

セット信号 1 0 6 を論理反転させるためのインバータ回路である。

【 0 0 1 0 】

こうした従来の A S I C 1 0 1 では、電源の立ち上がりによってリセット信号 1 0 6 が所定時間に亘って入力されると、それを反転した内部リセット信号 1 0 8 が、CPU 1 0 2、周辺論理回路 1 0 3、特定用途論理回路 1 0 4 の各リセット端子へ入力される。CPU 1 0 2、周辺論理回路 1 0 3 及び特定用途論理回路 1 0 4 ではそれぞれ、内部リセット信号 1 0 8 の入力により初期化が行われる。

【 0 0 1 1 】

しかし、CPU 1 0 2、周辺論理回路 1 0 3 及び特定用途論理回路 1 0 4 の電源供給開始後の立ち上がりに差があるので、それぞれのリセットタイミングが微妙に異なる。そのため、相互間のタイミング差によっては、CPU 1 0 2 のリセットタイミングが、周辺論理回路 1 0 3 や特定用途論理回路 1 0 4 のリセットタイミングよりも後になってしまうことがあり得る。この場合、A S I C 1 0 1 として安定した動作が期待できないという問題があった。

【 0 0 1 2 】

本発明はこのような問題点に鑑みてなされたものであって、A S I C を構成する複数の回路をそれぞれ初期化する際の各リセットタイミングを適正なタイミングに制御する大規模集積回路装置を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 記載の発明によれば、電源投入時に初期化がそれぞれ必要な複数の回路を実装した大規模集積回路装置において、前記複数の回路のうちの所定回路に設けられ、電源の供給開始時から所定時間に亘って発生する外部リセット信号を外部から受け取ると、前記所定回路の初期化を行うとともに、第 1 のリセット信号を発生する第 1 のリセット信号発生手段と、前記外部リセット信号を受け取っており、かつ、前記第 1 のリセット信号発生手段から前記第 1 のリセット信号を受け取った場合、第 2 のリセット信号を発生する第 2 のリセット信号発生手段と、前記複数の回路のうち前記所定回路を除く他の回路に設けられ、前記第 2 のリセット信号発生手段によって前記第 2 のリセット信

号を受け取ると、前記他の回路の初期化を行う初期化手段とを有することを特徴とする。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

【0015】

図1は、本発明に係る大規模集積回路装置の一実施の形態の構成を示すブロック図である。

【0016】

1はASIC (Application Specific Integrated Circuit) である。2はASIC 1の内部に設けられるユニットであり、この実施の形態ではCPUである。3はASIC 1の内部に設けられるユニットであり、この実施の形態では周辺論理回路である。周辺論理回路3は、ASIC 1に内蔵されるメモリ（図示せず）、ASIC 1の外部に設けられるプログラムROM（図示せず）、及び特定用途論理回路4と、CPU 2との間でデータの送受信を行うための論理回路である。4はASIC 1の内部に設けられるユニットであり、この実施の形態では特定用途論理回路である。特定用途論理回路4は、ASIC 1を特定の制御機器に対して最適化するためにユーザによって設定が行われる論理回路である。こうした論理回路の規模は、例えば数10万ゲート程度である。

【0017】

5はASIC 1に外部から供給されるクロック信号であり、ASIC 1の内部回路の同期を取るために用いられる。6はASIC 1に外部から供給されるリセット信号であり、ASIC 1内部のCPU 2を初期化するために用いられる。7はASIC 1内部にあってリセット信号6を論理反転させるためのインバータ回路である。8はリセット信号6の反転信号であり、ASIC 1内部の各論理回路3、4へ伝達される内部リセット信号である。

【0018】

9a、9b、9cはフリップフロップ（以下「F/F」と称する）回路であり、F/F回路9aは、リセット信号6をクロック同期させるための回路であり、

F/F回路 9 b, 9 c は、後述の反転論理積回路 1 0 a, 1 0 b の各出力信号をクロック同期させるための回路である。F/F回路 9 a, 9 b, 9 c の各出力信号は、CPU 2、周辺論理回路 3、特定用途論理回路 4 の各リセット端子へ送られる。

【0 0 1 9】

1 0 a, 1 0 b は反転論理積回路であり、内部リセット信号 8 と CPU 2 からのリセット確認信号（後述）との反転論理積を求めて、F/F回路 9 b, 9 c へそれぞれ送る。

【0 0 2 0】

1 1 は、周辺論理回路 3 での初期化が完了したときに周辺論理回路 3 より出力される初期化完了信号である。1 2 は、特定用途論理回路 4 での初期化が完了したときに特定用途論理回路 4 より出力される初期化完了信号である。1 3 は論理積回路であり、初期化完了信号 1 1 及び初期化完了信号 1 2 の論理積を求め、それを初期化完了論理積信号として CPU 2 へ通知する。

【0 0 2 1】

1 5 a, 1 5 b は、CPU 2、周辺論理回路 3、特定用途論理回路 4 の相互間でのデータの送受信に使用されるデータバスである。

【0 0 2 2】

つぎに、こうした構成の ASIC 1 の動作を説明する。

【0 0 2 3】

まず、電源（不図示）が ASIC 1 に供給されると、後述のリセット IC（図 2 の 3 9）が、その電源電圧を監視していて、電源電圧オン時から所定時間（例えば、1 0 0 m S）の間だけ高レベルとなるリセット信号 6 を発生し、ASIC 1 に出力する。

【0 0 2 4】

リセット IC からリセット信号 6 が ASIC 1 に入力されると、F/F回路 9 a が、リセット信号 6 に対してクロック同期を行う。該クロック同期された信号が、CPU 2 のリセット端子に入力されて、CPU 2 が初期化される。初期化された CPU 2 は、反転論理積回路 1 0 a, 1 0 b へリセット確認信号を送り出す

。CPU 2は、リセット信号6がF/F回路9 aによってクロック同期された信号のレベルをサンプリングして、その信号レベルが所定時間に亘ってリセットレベルに達していることを確認できたならば、反転論理積回路10 a, 10 bに出していたリセット確認信号の送出を停止する。

【0025】

一方、リセットICから供給されたリセット信号6は、インバータ回路7で反転されて内部リセット信号8となって反転論理積回路10 a, 10 bへ送られる。反転論理積回路10 a, 10 bでは、CPU 2からリセット確認信号を受信し、かつ内部リセット信号8が低レベル（つまりリセット信号6が高レベル）である場合、高レベル信号をF/F回路9 b, 9 cにそれぞれ出力する。これらの高レベル信号を受けたF/F回路9 b, 9 cは、これらの高レベル信号をクロック信号5で同期して周辺論理回路3及び特定用途論理回路4の各リセット端子にそれぞれ送る。

【0026】

この結果、周辺論理回路3及び特定用途論理回路4において初期化がそれぞれ行われる。すなわち、周辺論理回路3及び特定用途論理回路4は各々、リセット信号6だけではなく、CPU 2からのリセット確認信号を受信して初めて、初期化が行われる。

【0027】

周辺論理回路3及び特定用途論理回路4において初期化が完了すると、周辺論理回路3及び特定用途論理回路4からは初期化完了信号11、初期化完了信号12がそれぞれ出力される。論理積回路13は、初期化完了信号11及び初期化完了信号12の両方が入力されているならば、初期化完了論理積信号14をCPU 2へ出力する。

【0028】

CPU 2は、規定時間内に論理積回路13から初期化完了論理積信号14の入力がない場合は、再度、リセット確認信号を一定時間出力して、周辺論理回路3及び／または特定用途論理回路4の初期化を試みる。

【0029】

次に、ASIC1をプリンタ装置に搭載した例を以下に説明する。

【0030】

図2は、ASIC1が搭載されたプリンタ装置31の構成を示すブロック図である。

【0031】

図中32は、プリンタ装置31を駆動制御するための電気回路が実装された配線基板である。この配線基板32にASIC1が実装される。33は電源ユニットであり、配線基板32上の電気回路に電源を供給するとともに、該電気回路を介して各駆動ユニット（不図示）に電力を供給する。34は電源ユニット33に商用電力を与えるためのACケーブルである。35は操作パネルユニットであり、ユーザがプリンタ装置31を操作するときに使用する。36は配線基板32に実装されるメモリユニットであり、ASIC1から送られた情報を一時保管し、またASIC1へ保管情報を供給する。37は、プリンタ装置31内の各駆動部分（図示せず）の動作制御を行う駆動回路である。38はI/Fコネクタであり、プリンタ装置31が該I/Fコネクタ38を介して、プリンタ装置31の外部装置であるホストコンピュータ46から印刷データを受け取り、また、ホストコンピュータ46へプリンタ装置31の設定情報等を送る。

【0032】

39はリセットICであり、電源ユニット33から供給される電源電圧を監視し、電源供給開始時点から所定時間（例えば、100mS）に亘って高レベルとなるリセット信号6を出力する。この所定時間は、ASIC1の内部回路が十分に動作可能状態に到達するまでに必要な時間に設定される。

【0033】

40はクロック発生回路であり、ASIC1を所定の時間間隔で動作させるためのクロック信号5を発生する。

【0034】

41は、操作パネルユニット35とASIC1との間に設けられる操作バスであり、操作パネルユニット35からの情報をASIC1に送り、また、ASIC1からの情報を操作パネルユニット35に表示させる。42はメモリユニット3

6とASIC1との間に設けられるメモリバスであり、ASIC1からメモリユニット36への情報の書き込み、メモリユニット36からASIC1への読み出しに用いられる。43は、電源ユニット33とASIC1、リセットIC39等との間に設けられ、直流電力を供給するDCラインである。なお、このDCライン43には、ASIC1等で用いる論理回路用電源ラインや駆動回路37を動作させるための駆動回路用電源ライン（論理回路用電源ラインよりも高電圧）が含まれる。44はASIC1と駆動回路37との間に設けられた駆動バスであり、ASIC1からの駆動信号を駆動回路37に伝達させるために使用される。45はASIC1とI/Fコネクタ38との間に設けられるI/Fバスであり、ホストコンピュータ46で作成された印刷データをASIC1へ、またプリンタ装置31からの情報をホストコンピュータ46へ伝達させるために用いられる。47はホストコンピュータ46からプリンタ装置31へ印刷データを伝送するためのI/Fケーブルである。

【0035】

次に、こうしたプリンタ装置31の動作を説明する。

【0036】

プリンタ装置31はACケーブル34を商用電源コンセントに挿入して使用する。まず、ACケーブル34をコンセントに挿入すると、電源ユニット33はAC（商用電源）を、プリンタ装置31にて使用するDC電源電圧（論理回路用電源電圧及び駆動回路用電源電圧）に変換してDCライン43に出力する。DCライン43はASIC1やリセットIC39に接続されており、ASIC1やリセットIC39が駆動される。ここで、リセットIC39は、DCライン43の供給電圧を常に監視し、電源が供給されたことを検出すると、その検出時点から所定時間（例えば、100ms）に亘って高レベルとなるリセット信号6をASIC1に出力する。この所定時間は、ASIC1の内部回路が十分に動作可能状態に到達するまでに必要な時間に設定される。

【0037】

このリセット信号6を供給されたASIC1での動作は、図1を参照して前述した通りである。

【 0 0 3 8 】

【発明の効果】

以上詳述したように本発明によれば、電源投入時に初期化がそれぞれ必要な複数の回路を実装した大規模集積回路装置において、前記複数の回路のうちの所定回路が、電源の供給開始時から所定時間に亘って発生する外部リセット信号を外部から受け取ると、前記所定回路の初期化を行うとともに、第 1 のリセット信号を発生する。また、前記外部リセット信号が入力されており、かつ、前記第 1 のリセット信号が発生された場合、第 2 のリセット信号が発生される。そして、前記複数の回路のうち前記所定回路を除く他の回路は、前記第 2 のリセット信号を受け取ると、前記他の回路の初期化を行う。

【 0 0 3 9 】

これにより、初期化を済ました所定回路が他の回路の初期化を制御して、初期化のタイミングを適正に制御でき、大規模集積回路装置に実装された複数の回路の相互間における初期化タイミングの不適正なずれを防止でき、大規模集積回路装置に発生する動作の不安定さを解消することができる。

【図面の簡単な説明】

【図 1】

本発明に係る大規模集積回路装置の一実施の形態の構成を示すブロック図である。

【図 2】

A S I C 1 が搭載されたプリンタ装置の構成を示すブロック図である。

【図 3】

従来の A S I C の構成を示すブロック図である。

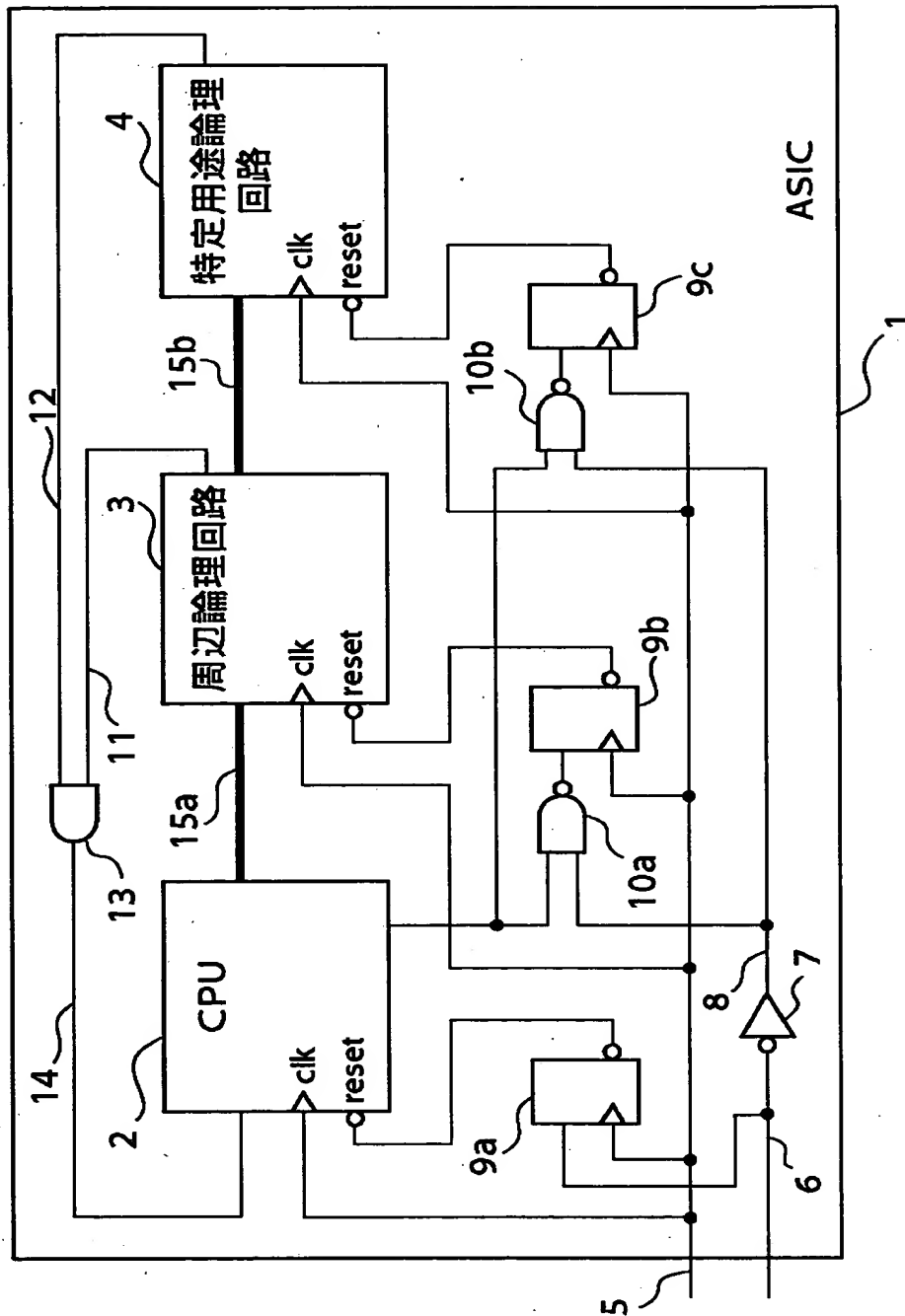
【符号の説明】

- 1 A S I C (大規模集積回路装置)
- 2 C P U (所定回路、第 1 のリセット信号発生手段)
- 3 周辺論理回路 (他の回路、初期化手段)
- 4 特定用途論理回路 (他の回路、初期化手段)
- 5 クロック信号

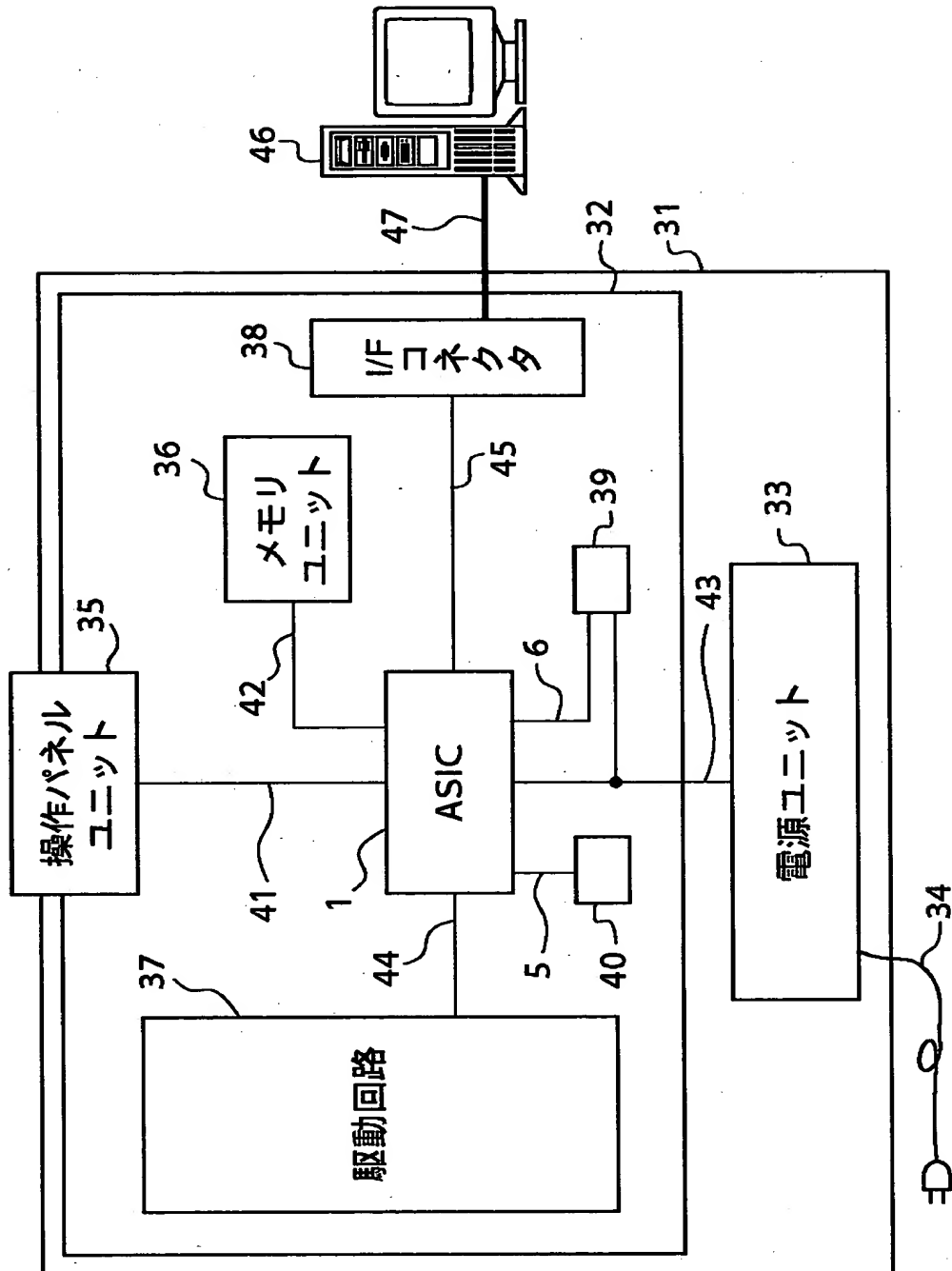
- 6 リセット信号 (外部リセット信号)
- 7 インバータ回路
- 8 内部リセット信号
- 9 a, 9 b, 9 c F/F回路
- 1 0 a, 1 0 b 反転論理積回路 (第 2 のリセット信号発生手段)
- 1 1 初期化完了信号
- 1 2 初期化完了信号
- 1 3 論理積回路
- 1 4 初期化完了論理積信号
- 1 0 a, 1 0 b データバス
- 3 1 プリンタ装置
- 3 2 配線基板
- 3 3 電源ユニット
- 3 4 ACケーブル
- 3 5 操作パネルユニット
- 3 6 メモリユニット
- 3 7 駆動回路
- 3 8 I/Fコネクタ
- 3 9 リセットIC
- 4 0 クロック発生回路
- 4 1 操作バス
- 4 2 メモリバス
- 4 3 DCライン
- 4 4 駆動バス
- 4 5 I/Fバス
- 4 6 ホストコンピュータ
- 4 7 I/Fケーブル

【書類名】 図面

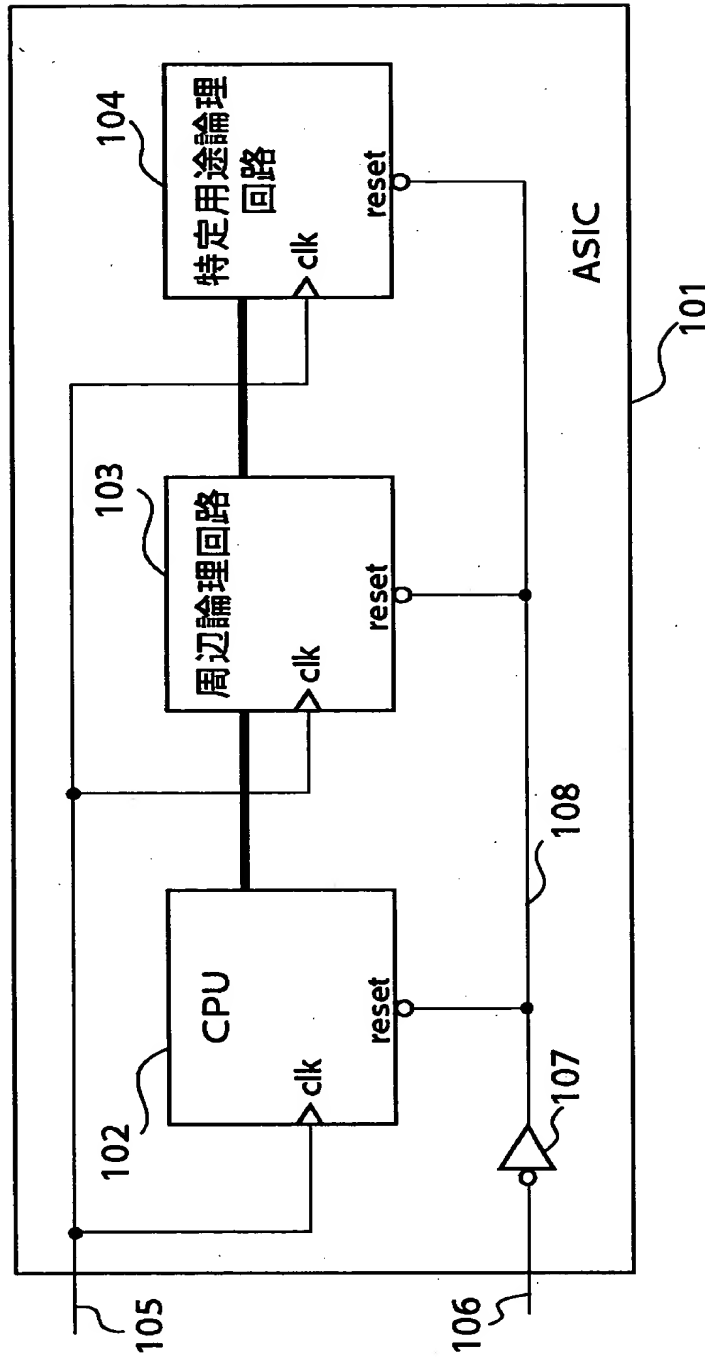
【図 1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 A S I C を構成する複数の回路をそれぞれ初期化する際の各リセットタイミングを適正なタイミングに制御する。

【解決手段】 C P U 2、周辺論理回路 3、特定用途論理回路 4 を実装した A S I C (Application Specific Integrated Circuit) において、C P U 2 が、電源の供給開始時から所定時間に亘って発生する外部リセット信号 6 を外部から受け取ると、C P U 2 の初期化を行うとともに、第 1 のリセット信号を発生する。反転論理積回路 1 0 a、1 0 b は、外部リセット信号の反転信号 8 を受け取っており、かつ、第 1 のリセット信号を受け取った場合、第 2 のリセット信号を発生する。周辺論理回路 3、特定用途論理回路 4 は、第 2 のリセット信号を受け取ると、自身の初期化を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社